

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61079259 A**

(43) Date of publication of application: **22.04.86**

(51) Int. Cl

**H01L 29/78**

**H01L 27/12**

**H02H 7/20**

(21) Application number: **59200886**

(22) Date of filing: **26.09.84**

(71) Applicant: **SEIKO INSTR & ELECTRONICS LTD**

(72) Inventor: **SHINPO MASAFUMI**

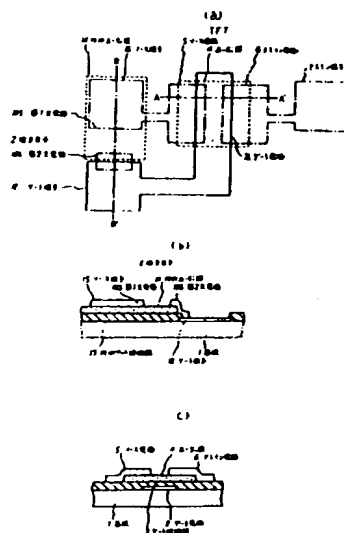
(54) **THIN-FILM TRANSISTOR DEVICE**

(57) Abstract:

**PURPOSE:** To prevent breakdown by static electricity on the mounting of a TFT device by inserting a two terminal element, which can be manufactured at the same time as a TFT and has predetermined structure, between external extracting terminals for the thin-film transistor TFT.

**CONSTITUTION:** A TFT consists of a gate electrode 2, a gate insulating film 3, a semiconductor thin-film 4 and source-drain electrode 5, 6 formed onto a glass substrate 1, and a two terminal element is inserted between source and gate terminals 15, 12. The element is shaped onto an additional gate insulating film 13 deposited at the same time as the insulating film 3, an additional semiconductor thin-film 14 is formed at the same time as the thin-film 4 and first and second main electrodes 105, 106 at the same time as the electrodes 5, 6 and the thin-film 14 and the electrodes 105, 106 are short-circuited to the electrode 106 and the gate terminal 12. When static electricity is applied to the terminal 15, static electricity is shunted to the gate side through the source side of the TFT and the two terminal element, and voltage substantially drops. A distance between the first and second main electrodes for the two terminal element is made shorter than the channel length of the TFT in general.

COPYRIGHT: (C)1986,JPO&Japio



## ⑫ 公開特許公報(A)

昭61-79259

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)4月22日

H 01 L 29/78

8422-5F

27/12

7514-5F

H 02 H 7/20

6959-5G

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 薄膜トランジスタ装置

⑯ 特 願 昭59-200886

⑰ 出 願 昭59(1984)9月26日

⑱ 発 明 者 新 保 雅 文 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 最 上 務

## 明 細 書

## 1. 発明の名称 薄膜トランジスタ装置

## 2. 特許請求の範囲

(1). 絶縁基板上に、少なく共ゲート電極、ゲート絶縁膜、半導体薄膜、ソース電極、ドレイン電極から成る薄膜トランジスタを搭載し、外部取り出し端子を複数個有する薄膜トランジスタ装置において、前記端子間もしくは前記端子と共通浮遊電極間の少なく共1つに、前記半導体薄膜と同時に形成された付加半導体薄膜と、該付加薄膜をはさんで形成された第1主電極と第2主電極とから少なく共成る2端子素子を接続し、高電圧保護を行なったことを特徴とする薄膜トランジスタ装置。

(2). 前記2端子素子が前記付加半導体薄膜に対し前記ゲート絶縁膜と同時に形成された付加ゲート絶縁膜を含む第1絶縁膜を介して平面的に重なる前記ゲート電極と同時に形成された付加ゲート電極を具備することを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ装置。

(3). 前記付加ゲート電極が前記第2主電極と短絡していることを特徴とする特許請求の範囲第2項記載の薄膜トランジスタ装置。

(4). 前記付加ゲート電極が前記第1主電極に対しオフセットを形成していることを特徴とする特許請求の範囲第3項記載の薄膜トランジスタ装置。

(5). 前記第1主電極が前記付加ゲート電極に対し反対側の前記付加半導体薄膜表面に第2絶縁膜を介して、前記第2主電極と平面的に重なるまで延在する第1主電極延在部を有することを特徴とする特許請求の範囲第2項乃至第4項いずれか記載の薄膜トランジスタ装置。

## 8. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、薄膜トランジスタ(TFT)を搭載した装置で静電気等高電圧に対し保護機能を有したTFT装置に関するものである。

## 〔従来技術〕

TFTは通常ガラス基板等の絶縁基板上に設け

られるため、製造プロセス中や実装工程中の静電気で破壊しやすい問題を有していた。例えば、 $\text{Si}$ 基板に形成された $\text{MOS}$ トランジスタのゲート保護には、基板との間に保護ダイオードを挿入していた。保護ダイオードには、ツェナーダイオードの様に $\text{MOS}$ トランジスタの $V_{th}$ （しきい値電圧）より高く、ゲート破壊電圧より低い電圧で降伏する特性をもたしていた。しかしながら、 $\text{TFET}$ の場合には $\text{PN}$ 接合ダイオードを作るのが困難であつたり、そのために製造工程が増えたりしてしまう。また基板が絶縁性のため、 $\text{Si}$ 基板の様な静電気保護はとりにくい難点があつた。

〔発明が解決しようとする問題点〕

上述の如く、静電気保護のため $\text{TFET}$ 搭載基板に $\text{PN}$ 接合やショットキー接合ダイオードを同時に作りこむのは、工程が増える難点があつた。

本発明は、 $\text{TFET}$ 製造工程と同時に製造可能な2端子素子で、保護すべき端子に接続できる構造を提供し、上記の問題を解決するものである。

〔問題を解決するための手段〕

- 8 -

領域を設定することも可能である。

〔作用〕

外部取り出し端子間、または外部取り出し端子と共通浮遊電極の間に非線形特性を有する2端子素子を挿入することにより、例えば1つの端子に静電気が印加されたとき2端子素子を通して他の端子にも静電気を分割し、実質的な印加電圧を低くする。共通浮遊電極を設けた場合には、静電気は2端子素子から共通浮遊電極さらに2端子素子を通して他の複数の端子に放電されるので、さらに印加電圧を低くすることができる。2端子素子は、それ故 $\text{TFET}$ 装置の動作電圧より高く、破壊電圧より低い電圧で電流が流れる様、寸法、構造が選ばれている。

〔実施例〕

以下に図面に沿つて本発明を詳述する。第1図(a)は、本発明を1つの $\text{TFET}$ に適用した1実施例の平面図、第1図(b)は第1図(a)の $B-B'$ 線に沿つた断面図、第1図(c)は第1図(a)の $A-A'$ 線に沿つた断面図である。第1図(d)は静電気保護2端

- 5 -

本発明は、 $\text{TFET}$ 装置の外部取り出し端子間に $\text{TFET}$ と同時に製造可能な2端子素子を挿入する。または、上記2端子素子を、外部取り出し端子と共通浮遊電極との間に挿入するものである。2端子素子は、 $\text{TFET}$ とほぼ同様な構造を有し、 $\text{TFET}$ の半導体薄膜と同時に形成された付加半導体薄膜を有しており、両端に第1及び第2主電極が設けられている。また、 $\text{TFET}$ のゲート電極及びゲート絶縁膜と同時に形成できる付加ゲート電極及び付加ゲート絶縁膜を有し、通孔と場合により半導体薄膜にチャネルを形成する。このチャネル形成は、付加ゲート電極と第2主電極との短絡、または容接結合による。さらに、この2端子素子が両方向に電流を流せる様に、付加半導体薄膜表面に絶縁膜を介して延在し、第1主電極と同電位の第1主電極延在部を設ける。以上の2端子素子は、内部の $\text{TFET}$ 動作に影響を与えない様、チャネル長、チャネル幅、 $V_{th}$ の選択がされるが、さらに付加ゲート電極と第1主電極の間、第1主電極延在部と第2主電極の間にオフセット

- 4 -

子素子部、第1図(e)は $\text{TFET}$ 部の断面図を示す。 $\text{TFET}$ は、ガラス、石英、セラミックス、絶縁物コートされた導電基板等のいわゆる絶縁基板1上に形成され、ゲート電極2、ゲート絶縁膜3、半導体薄膜4、ソース電極5、ドレイン電極6から成る。本例では、 $\text{TFET}$ のソース、ゲート端子15、12の間に2端子素子を挿入した例を示した。2端子素子は、基板1の上のゲート絶縁膜3と同時に堆積された付加ゲート絶縁膜13上に形成され、 $\text{TFET}$ の半導体薄膜4と同時に堆積された付加半導体薄膜14と、ソース、ドレイン電極5、6と同時に設けられた第1主電極105、第2主電極106から成る。この例では、第2主電極106とゲート端子12を短絡している。本例において、例えばソース端子15に静電気が印加すれば、静電気は $\text{TFET}$ のソース側と2端子素子を通してゲート側に分流され実質的電圧は低下する。勿論、ゲート端子12とドレイン端子間に2端子素子を挿入することも有効である。半導体薄膜4に $\alpha-\text{Si}$ 、 $\text{H}$ 膜や $\alpha-\text{Si}:\text{H}$ 膜を用いたとき、 $\text{TFET}$ 及び

- 6 -

2端子素子共に遮光を必要とする場合があるが、図面では省略した。本例の2端子素子は、保護すべき静電気の範囲によつて異なるが、一般的にTFTのチャンネル長より短い第1、第2主電極間距離を有する。また、2端子素子の構造は、第1図(b)に限らず、さらに他の例もあり後述する。

第1図(a)~(d)では2端子素子を外部取り出し端子間に入れた例を示したが、第2図は外部取り出し端子と共通浮遊電極間に入れた平面図例を示す。第2図において、TFT装置の外部取り出し端子10、20、30、40、...は例えばチップの周辺に位置するが、チップ外周に沿つて共通浮遊電極100を設け、外部取り出し端子10、20、30、40...と共通浮遊電極100の各々の間に2端子素子110、120、130、140、...を挿入する。例えば、端子10に印加された静電気は、2端子素子110、共通電極100、2端子素子120、130、140、...を経て端子20、30、40、...に放電し、端子10に接続されたTFT等を保護する。そのため、この例での2端子素子

- 7 -

17より成る。この例では、付加ゲート電極12は電気的に浮いており、遮光の役目を果たす。また、第1及び第2主電極105、106との平面的重なりを大きくすれば、容量結合で付加ゲート電極12の電位を制御でき付加半導体薄膜14にチャンネルを形成できる。表面保護膜17は、SiO<sub>2</sub>、ポリイミド等絶縁膜が用いられるが最上層に不透明導電膜を設ければ、遮光と浮遊ゲートの働きを兼ねられる。

第4図乃至第6図は、第8図(a)の逆スタガー型TFTと同時に作成できる2端子素子の断面例である。第4図は第8図(a)の2端子素子の付加ゲート電極12と第2主電極106を短絡した例で、第2主電極106に電圧が印加されたときTFTのV<sub>gs</sub>とほぼ同じ値で電流が流れる。そのため静電気保護素子と用いるときには、TFTよりチャンネル長を長く、またはチャンネル幅を狭くすることが望ましい。また、第2主電極106を共通浮遊電極に接続することが好ましい。

第5図は、第4図の例において付加ゲート電極

- 9 -

は、外部取り出し電極側から共通浮遊電極側へ電流が流れるしきい値電圧よりも逆方向のしきい値電圧の方が低いことが望ましい。共通浮遊電極は、外部取り出し端子と同時に、またはゲート電極または他電極と同時に形成できるので特に工程増にはならない。

TFT装置に外部取り出し端子として共通接地端子がある場合には、この端子を共通浮遊電極と同様に利用することができる。

以下に2端子素子の構造例について説明する。

第8図(a)は、本発明に使用される2端子素子の実施例を、第8図(b)のTFTの構造と対応して示す。TFTは逆スタガー構造例であり、基板1、ゲート電極2、ゲート絶縁膜3、半導体薄膜4、ソース、ドレイン電極5、6及び必要に応じて遮光膜を含む表面保護膜7から成る。このTFTに対応し、同時作製可能な2端子素子は、ゲート電極2と同時に形成される付加ゲート電極12、以下同様付加ゲート絶縁膜13、付加半導体薄膜14、第1及び第2主電極105、106及び表面保護膜

- 8 -

12と第1主電極105の間に平面的重なりをなくし、いわゆるオフセットを設け、見かけ上V<sub>gs</sub>を高くした例である。

第6図は、さらに第5図の例において遮光膜を第1主電極延長部27として第1主電極106に接続した例で、両方向に電流を流しやすい構造を有している。

第7図(a)と(b)は、本発明をゲート電極が半導体薄膜の上方に位置するいわゆるスタガー形TFT(第7図(a))と同時に作製可能な2端子素子(第7図(b)の例である。第1図(b)、第8図(a)、第5図及び第6図の各構造に対応する2端子素子が可能であるが、第7図(b)には第4図に対応する構造例を示した。第7図(b)のスタガー形TFTは、基板1上の遮光膜37、絶縁膜47、ソース、ドレイン電極5、6、半導体薄膜4、ゲート絶縁膜8、ゲート電極2、必要に応じてゲート電極2と同時に形成できるソース、ドレイン配線15、16から成っている。このTFTに対応して第7図(b)の2端子素子は、遮光膜37と同時に形成できる第1主電極延長部

- 11 -

57、以下同様に絶縁膜47、第1及び第2主電極105、106、付加半導体薄膜14、付加ゲート絶縁膜13、付加ゲート電極12から成り、付加ゲート電極12と第2主電極106とが短絡され、必要により第1が第2主電極配線115、116が設けられている。

以上、逆スタガ-形、スタガ-形TFTと同時形成可能な2端子素子の例を述べてきたが、以上の例に限らず本発明で用いる2端子素子は基本的にTFTと同じ構造をもっているので、他の構造のTFTのときにも本発明は適用できる。

#### 〔発明の効果〕

上述の如く、本発明によればTFT装置の特に実施工程における静電気破壊をなくせるので最終的な歩留りが向上し、コスト低減に役立つ。また、静電気対策のために特に製造工程の増加がないことも他の利点である。

本発明を主に $\alpha$ -Si TFT装置について述べてきたが、多結晶Si半導体Siを初め他の半導体薄膜を用いたTFTを搭載する装置についても

-11-

本発明は適用でき、その工業的意義は大きい。

#### 4. 図面の簡単な説明

第1図(a)は本発明の一実施例を説明するための平面図、第1図(b)は第1図(a)のB-B'線にそつた断面図であり、第1図(c)は第1図(a)のA-A'線にそつた断面図である。第2図は本発明の他の実施例の平面図、第3図(a)及び第3図(b)はそれぞれ本発明で用いる2端子素子とTFTの構造例の断面図、第4図乃至第6図はそれぞれ本発明で用いる2端子素子の構造例の断面図、第7図(a)及び第7図(b)はそれぞれ本発明による他の実施例の2端子素子とTFTの構造例の断面図である。

1...基板、2...ゲート電極、3...ゲート絶縁膜、4...半導体薄膜、5...ソース電極、6...ドレイン電極、7, 17...表面保護膜、12...付加ゲート電極、13...付加ゲート絶縁膜、14...付加半導体薄膜、105...第1主電極、106...第2主電極、27, 57...第1主電極延在部、10, 20, 30, 40...外部取り出し電極、

-12-

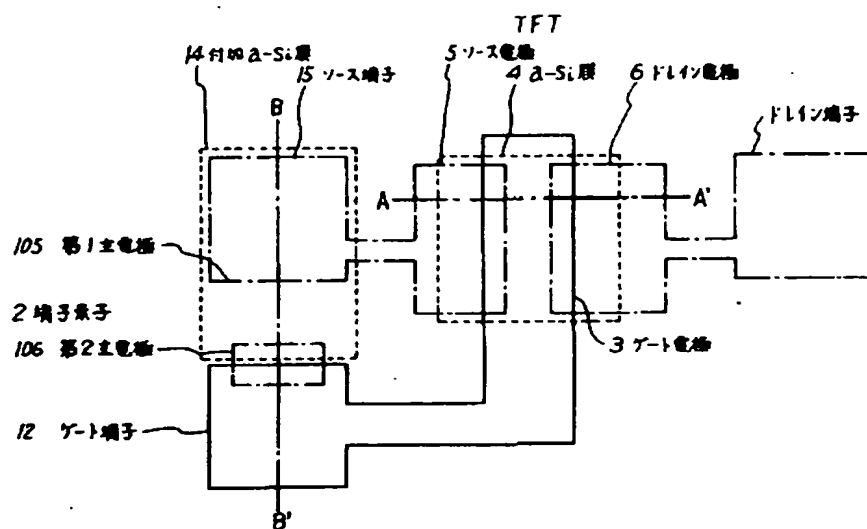
100...共通浮遊電極。

以 上

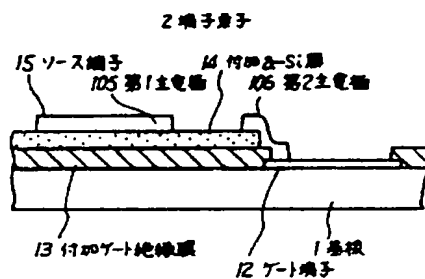
出願人 セイコー電子工業株式会社

代理人 弁護士 最 上 務

第1図(a)



第1図(b)



第1図(c)

